



(19)

(11) Publication number: **05198804 A**

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: **04180871**(51) Intl. Cl.: **H01L 29/784**(22) Application date: **08.07.92**(30) Priority: **25.07.91 JP 03186128**(43) Date of application publication: **06.08.93**

(84) Designated contracting states:

(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **HORI ATSUSHI
SEGAWA MIZUKI
SHIMOMURA HIROSHI
KAMEYAMA SHUICHI**

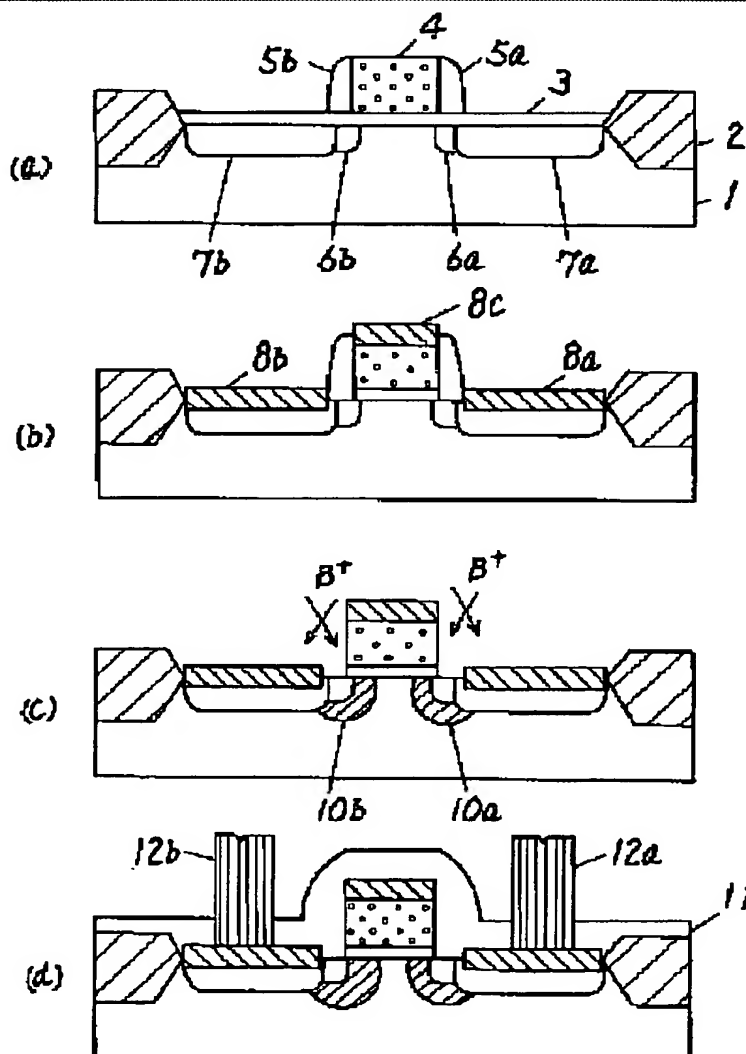
(74) Representative:

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF**(57) Abstract:**

PURPOSE: To provide the title semiconductor device and manufacturing method thereof capable of easily controlling the inversion voltage making high breakdown strength and high driving force compatible with each other without increasing the capacities of source and drain.

CONSTITUTION: After removing the residual insulating films 5a, 5b on the sidewalls of a gate electrode 4, P⁺ type semiconductor layers 10a, 10b are selectively implanted in the end parts only on the channel side of source-drain 6a, 6b. The P⁺ type semiconductor layers 10a, 10b can restrain the punch-through of source, drain to control the inversion voltage thereby enabling the concentration of a P type substrate to be set up at low level as well as an element to be microminiaturized without increasing the drain capacity at all. Furthermore, the impurity concentration in the channel region can be unequalized thereby increasing the driving force of transistors.

COPYRIGHT: (C)1993,JPO&Japio



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-198804

(43)公開日 平成5年(1993)8月6日

(51)Int.Cl.⁵

H 0 1 L 29/784

識別記号

庁内整理番号

7377-4M

FI

H 0 1 L 29/ 78

技術表示箇所

3 0 1 X

審査請求 未請求 請求項の数8(全12頁)

(21)出願番号 特願平4-180871

(22)出願日 平成4年(1992)7月8日

(31)優先権主張番号 特願平3-186128

(32)優先日 平3(1991)7月25日

(33)優先権主張国 日本(JP)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 堀 敦

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 瀬川 瑞樹

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 下村 浩

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 弁理士 小銀治 明 (外2名)

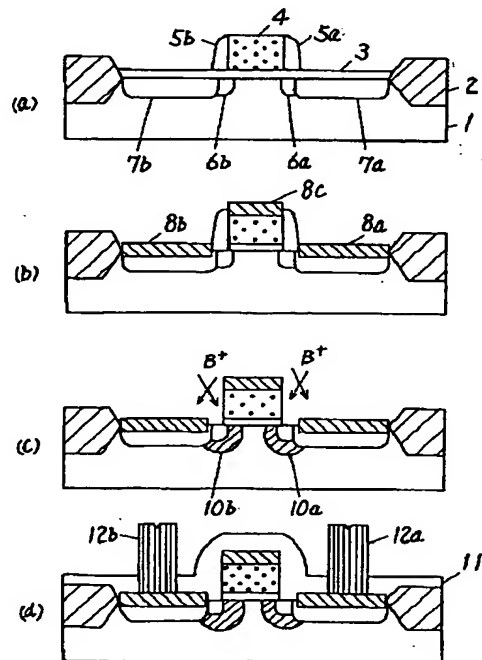
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 ソース、ドレインの容量を増大させることなく、高耐圧と高駆動力を両立し、反転電圧を容易に制御できる半導体装置及びその製造方法を提供する。

【構成】 ゲート電極4の側壁に残置された絶縁膜5a, 5bを除去しセルフアラインでソース、ドレインの端部にのみ注入することにより、P+型半導体層10a, 10bはソース、ドレイン6a, 6bのチャネル側에만選択的に注入される。P+型半導体層10a, 10bによりソース、ドレインのパンチスルーを抑え、反転電圧を制御するのでP型基板1の濃度を低く設定でき、ドレイン容量を増大させることなく素子の微細化を計ることができる。また、チャネル領域の不純物濃度が不均一になるのでトランジスタの駆動力が上がる。



【特許請求の範囲】

【請求項1】第1導電型の半導体基板上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記半導体基板に形成された第2導電型のソース、及びドレイン領域と、前記ソース領域とドレイン領域の間の前記ゲート電極直下に形成されたチャネル領域と、前記ソース、及びドレイン領域に隣接し、前記チャネル領域の一部に形成された第1導電型のパンチスルーストップ領域とを備えた半導体装置。

【請求項2】請求項1記載の第1導電型の半導体基板は高濃度半導体領域と低濃度半導体領域からなり、前記低濃度半導体領域中にソース、及びドレイン領域とチャネル領域とパンチスルーストップ領域が形成されてなる半導体装置。

【請求項3】第1導電型の半導体基板上にゲート絶縁膜となる第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に配線形状のゲート電極となる第1の導電膜を形成する工程と、前記第1の導電膜をマスクとして用いる第1のイオン注入により第2導電型の不純物を前記半導体基板中に注入し、ソース、及びドレインとなる第2導電型の第1の半導体領域を形成する工程と、前記第1の導電膜の側壁に第2の絶縁膜を選択的に残置させ、半導体基板上の第1の絶縁膜を除去し半導体基板を露出させる工程と、全面に金属を堆積する工程と、熱処理により金属と半導体基板及び第1の導電膜を反応させ金属化合物を形成し、前記第2の絶縁膜上の未反応の金属を選択的に除去する工程と、前記第2の絶縁膜を選択的に除去する工程と、前記金属化合物と前記第1の導電膜をマスクとして用いる第2のイオン注入により第1導電型の不純物を注入し、前記半導体基板中に第1導電型の第2の半導体領域を形成する工程とを備え、この第2の半導体領域により反転電圧を制御しパンチスルーを抑えることを特徴とする半導体装置の製造方法。

【請求項4】請求項3記載の金属と半導体基板及び第1の導電膜を反応させ金属化合物を形成し、第2の絶縁膜上の未反応の金属を除去した後、第1の導電膜をマスクとするイオン注入により金属化合物を介して半導体基板中に第2導電型の不純物を注入しソース、ドレインとなる第1の半導体領域を形成することを特徴とする半導体装置の製造方法。

【請求項5】請求項3記載の第1の絶縁膜を形成する工程の前に、第1導電型の半導体基板中に第1導電型の第3の半導体領域を形成する工程と、前記半導体基板上に半導体膜を成長させる工程とを有し、前記第3の半導体領域上の前記半導体膜に第2導電型の第1の半導体領域を形成することを特徴とする半導体装置の製造方法。

【請求項6】第1導電型の半導体基板上にゲート絶縁膜となる第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に配線形状のゲート電極となる第1の導電膜を形成する工程と、前記第1の導電膜をマスクとして用いる第

1のイオン注入により第2導電型の不純物を前記半導体基板中に注入し、ソース、及びドレインとなる第2導電型の第1の半導体領域を形成する工程と、前記第1の導電膜の側壁に第2の絶縁膜を選択的に残置させ、半導体基板上の第1の絶縁膜を除去し半導体基板を露出させる工程と、露出された半導体基板上に選択的に第2の導電膜を形成する工程と、前記第2の絶縁膜を選択的に除去する工程と、前記第1の導電膜と第2の導電膜をマスクとして用いる第2のイオン注入により第1導電型の不純物を注入し、前記半導体基板中に第1導電型の第2の半導体領域を形成する工程とを備え、この第2の半導体領域により反転電圧を制御しパンチスルーを抑えることを特徴とする半導体装置の製造方法。

【請求項7】第1導電型の半導体基板上にゲート絶縁膜となる第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に配線形状のゲート電極となる第1の導電膜を形成する工程と、前記第1の導電膜の側壁に第2の絶縁膜を選択的に残置させる工程と、前記第1の導電膜及び第2の絶縁膜をマスクとして用いる第1のイオン注入により半導体基板中にソース及びドレインの一部となる第2導電型の第1の半導体領域を形成する工程と、前記第1の絶縁膜を除去し半導体基板を露出させる工程と、全面に金属を堆積する工程と、熱処理により金属と半導体基板及び第1の導電膜を反応させ金属化合物を形成し、前記第2の絶縁膜上の未反応の金属を選択的に除去する工程と、前記第2の絶縁膜を選択的に除去する工程と、前記金属化合物と前記第1の導電膜をマスクとして用いる第2のイオン注入により第1導電型の不純物を注入し、前記半導体基板中に第1導電型の第2の半導体領域を形成する工程と、前記金属化合物と前記第1の導電膜をマスクとして用いる第3のイオン注入により第2導電型の不純物を注入し、前記半導体基板中にソース及びドレインの一部となる第2導電型の第3の半導体領域を形成する工程とを備え、前記第2の半導体領域により反転電圧を制御しパンチスルーを抑え、第1の半導体領域が第3の半導体領域より不純物濃度が高いことを特徴とする半導体装置の製造方法。

【請求項8】第1導電型の半導体基板上にゲート絶縁膜となる第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に配線形状のゲート電極となる第1の導電膜を形成する工程と、前記第1の導電膜をマスクとして用いる大傾角イオン注入を用いた第1のイオン注入により前記半導体基板中に第1導電型の不純物を注入し、第1導電型の第1の半導体領域を形成する工程と、前記第1の導電膜をマスクとして用いる第2のイオン注入により前記半導体基板中に第2導電型の不純物を注入し、ソース、及びドレインとなる第2導電型の第2の半導体領域を形成する工程と、前記第1の導電膜の側壁に第2の絶縁膜を選択的に残置させる工程と、前記第2の導電膜及び前記第2の絶縁膜をマスクとして用いる第3のイオン注入に

より前記半導体基板中に第2導電型の不純物を注入し、ソース、及びドレインの一部となる第2導電型の第3の半導体領域を形成する工程とを備え、前記第1の半導体領域が第2及び第3の半導体領域より浅く、かつ前記第1の半導体領域が第2の半導体領域の側面に形成されることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は超高密度の電界効果型半導体装置及び微細化及び高速化に適した電界効果型半導体装置の製造方法に関するものである。

【0002】

【従来の技術】近年、高密度の半導体装置いわゆるLSIにおいて、素子の微細化が進むにつれ、トランジスタの耐圧の低下や反転電圧のバラツキが問題になっている。

【0003】以下図面を参照しながら、従来の電界効果型(MOS)トランジスタの製造方法の一例について説明する。図10は従来のNチャンネル型MOSトランジスタの製造方法の1例を示すものである。

【0004】図10(a)に示すように、p型半導体基板1にホウ素イオンを注入しp+型半導体領域10を形成した後、半導体基板表面を酸化し8-12nmのゲート絶縁膜3を形成する。

【0005】図10(b)に示すように、全面に200-300nmのポリシリコン膜を堆積した後、通常のフォトリソ、エッチング工程を経てゲート電極4を形成する。次に、ゲート電極をマスクとして用いるイオン注入によりリンイオンを注入しソース及びドレインとなるn-型の半導体領域6a、6bを形成する。

【0006】図10(c)に示すように、全面にシリコン酸化膜を堆積した後、異方性のドライエッチングによりゲート電極4の側壁にサイドウォール5a、5bを残置させる。次に、ゲート電極4とその側壁サイドウォール5a、5bをマスクとして用いるイオン注入によりヒ素イオンを注入し、ソース及びドレインの一部となるn+型の半導体領域7a、7bを形成する。次にn+型の半導体領域7a、7b中のヒ素イオンを活性化し結晶欠陥を回復させるため900℃、30分の熱処理を導入する。

【0007】図10(d)に示すように通常の方法により層間絶縁膜11を堆積し、コンタクト部分をエッチングし、金属電極12a、12bを形成する。

【0008】以上のように構成されたNチャンネル型MOSトランジスタについて、以下その動作について説明する。p+型半導体領域10はトランジスタのドレイン空乏層が伸び耐圧が低下するバッチスルーを抑え、反転電圧を制御するために導入される。n-型半導体領域6a、6bはドレイン近傍の電界を低下させホットキャリア注入によるトランジスタの劣化を防止する。

【0009】また、図10においてP+型半導体領域10を導入する代わりに、P型半導体基板1の濃度を高くする、あるいは濃度の高いP型ウェルを使用してもほぼ同様の結果が得られる。

【0010】

【発明が解決しようとする課題】しかしながら上記のような構成では、トランジスタを微細化し、同時に高速化を実現する際に、障壁となる課題がある。まず、従来のMOSトランジスタではp+型半導体領域10を導入することにより、反転電圧を制御しバッチスルー耐圧を増大させているが、以下のような問題点を有する。

【0011】1. ソース、ドレインの接合付近の基板濃度(P+)が高いので接合容量が大きく回路の高速化が困難である。

【0012】2. バッチスルーを抑えるためP+型半導体領域10の濃度を上げると、反転電圧が上がり、駆動力が低下する。つまり、耐圧と反転電圧、駆動力のすべてを満足することは困難である。

【0013】3. P+型半導体領域10を導入することにより、基板の電位によりトランジスタの特性が変動する、いわゆる基板バイアス効果が増大する。

【0014】4. n+ソース、ドレイン形成後不純物の活性化のため高温(900℃以上)の熱処理を行うとn-LDD領域が拡散しトランジスタの実効チャネル長が小さくなるので短チャネル効果が大きくなる。

【0015】本発明は上記問題点を鑑み、ソース、ドレインの容量を増大させることなく、高耐圧と高駆動力を両立し、反転電圧を容易に制御できる半導体装置及びその製造方法を提供するものである。

【0016】

【課題を解決するための手段】上記問題点を解決するために本発明の請求項1記載の半導体装置は、第1導電型の半導体基板上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記半導体基板に形成された第2導電型のソース、及びドレイン領域と、前記ソース領域とドレイン領域の間の前記ゲート電極直下に形成されたチャネル領域と、前記ソース、及びドレイン領域に隣接し、前記チャネル領域の一部に形成された第1導電型のバッチスルーストップ領域とを備えたものである。

【0017】また本発明の請求項2記載の半導体装置では、上述の第1導電型の半導体基板は高濃度半導体領域と低濃度半導体領域からなり、前記低濃度半導体領域中にソース、及びドレイン領域とチャネル領域とバッチスルーストップ領域が形成されてなる。

【0018】また本発明の請求項3記載の半導体装置の製造方法は、第1導電型の半導体基板上にゲート絶縁膜となる第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に配線形状のゲート電極となる第1の導電膜を形成する工程と、前記第1の導電膜をマスクとして用いる第

1のイオン注入により第2導電型の不純物を前記半導体基板中に注入し、ソース、及びドレインとなる第2導電型の第1の半導体領域を形成する工程と、前記第1の導電膜の側壁に第2の絶縁膜を選択的に残置させ、半導体基板上の第1の絶縁膜を除去し半導体基板を露出させる工程と、全面に金属を堆積する工程と、熱処理により金属と半導体基板及び第1の導電膜を反応させ金属化合物を形成し、前記第2の絶縁膜上の未反応の金属を選択的に除去する工程と、前記第2の絶縁膜を選択的に除去する工程と、前記金属化合物と前記第1の導電膜をマスクとして用いる第2のイオン注入により第1導電型の不純物を注入し、前記半導体基板中に第1導電型の第2の半導体領域を形成する工程とを備え、この第2の半導体領域により反転電圧を制御しパンチスルーを抑えることを特徴とする。

【0019】また本発明の請求項6記載の半導体装置の製造方法は、第1導電型の半導体基板上にゲート絶縁膜となる第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に配線形状のゲート電極となる第1の導電膜を形成する工程と、前記第1の導電膜をマスクとして用いる第1のイオン注入により第2導電型の不純物を前記半導体基板中に注入し、ソース、及びドレインとなる第2導電型の第1の半導体領域を形成する工程と、前記第1の導電膜の側壁に第2の絶縁膜を選択的に残置させ、半導体基板上の第1の絶縁膜を除去し半導体基板を露出させる工程と、露出された半導体基板上に選択的に第2の導電膜を形成する工程と、前記第2の絶縁膜を選択的に除去する工程と、前記第1の導電膜と第2の導電膜をマスクとして用いる第2のイオン注入により第1導電型の不純物を注入し、前記半導体基板中に第1導電型の第2の半導体領域を形成する工程とを備え、この第2の半導体領域により反転電圧を制御しパンチスルーを抑えることを特徴とする。

【0020】また本発明の請求項7記載の半導体装置の製造方法は、第1導電型の半導体基板上にゲート絶縁膜となる第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に配線形状のゲート電極となる第1の導電膜を形成する工程と、前記第1の導電膜の側壁に第2の絶縁膜を選択的に残置させる工程と、前記第1の導電膜及び第2の絶縁膜をマスクとして用いる第1のイオン注入により半導体基板中にソース及びドレインの一部となる第2導電型の第1の半導体領域を形成する工程と、前記第1の絶縁膜を除去し半導体基板を露出させる工程と、全面に金属を堆積する工程と、熱処理により金属と半導体基板及び第1の導電膜を反応させ金属化合物を形成し、前記第2の絶縁膜上の未反応の金属を選択的に除去する工程と、前記第2の絶縁膜を選択的に除去する工程と、前記金属化合物と前記第1の導電膜をマスクとして用いる第2のイオン注入により第1導電型の不純物を注入し、前記半導体基板中に第1導電型の第2の半導体領域を形成

する工程と、前記金属化合物と前記第1の導電膜をマスクとして用いる第3のイオン注入により第2導電型の不純物を注入し、前記半導体基板中にソース及びドレインの一部となる第2導電型の第3の半導体領域を形成する工程とを備え、前記第2の半導体領域により反転電圧を制御しパンチスルーを抑え、第1の半導体領域が第3の半導体領域より不純物濃度が高いことを特徴とする。

【0021】また本発明の請求項8記載の半導体装置の製造方法は、第1導電型の半導体基板上にゲート絶縁膜となる第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に配線形状のゲート電極となる第1の導電膜を形成する工程と、前記第1の導電膜をマスクとして用いる大傾角イオン注入を用いた第1のイオン注入により前記半導体基板中に第1導電型の不純物を注入し、第1導電型の第1の半導体領域を形成する工程と、前記第1の導電膜をマスクとして用いる第2のイオン注入により前記半導体基板中に第2導電型の不純物を注入し、ソース、及びドレインとなる第2導電型の第2の半導体領域を形成する工程と、前記第1の導電膜の側壁に第2の絶縁膜を選択的に残置させる工程と、前記第2の導電膜及び前記第2の絶縁膜をマスクとして用いる第3のイオン注入により前記半導体基板中に第2導電型の不純物を注入し、ソース、及びドレインの一部となる第2導電型の第3の半導体領域を形成する工程とを備え、前記第1の半導体領域が第2及び第3の半導体領域より浅く、かつ前記第1の半導体領域が第2の半導体領域の側面に形成されることを特徴とする。

【0022】

【作用】本発明の請求項1記載の構成では、パンチスルーストップ領域をソース、及びドレイン領域に隣接し、チャンネル領域の一部に設けることによってチャンネルの中央部分の不純物濃度が薄くなり、トランジスタの駆動力が向上する。またドレインの下部にはパンチスルーストップ領域が形成されていないので、ソース、ドレインのジャンクション付近の不純物濃度が薄くなりドレイン容量が低下し、回路の動作速度が向上する。

【0023】また請求項2記載の構成では、第1導電型の半導体基板は高濃度半導体領域と低濃度半導体領域からなり、前記低濃度半導体領域中にソース、及びドレイン領域とチャンネル領域とパンチスルーストップ領域が形成されているため、高濃度半導体領域で基板の抵抗を充分下げられラッチアップなどの寄生効果が完全に抑えられ、またトランジスタの基板濃度（低濃度半導体領域の濃度）は極めて小さくできるのでドレインジャンクションの寄生容量を大幅に減少させることができる。

【0024】また請求項3,6,7記載の構成では、ゲート電極となる第1の導電膜の側壁に残置された第2の絶縁膜を除去しセルフアラインでソース、ドレインの端部にのみ注入することにより、MOSトランジスタのパンチスルーを抑制し、反転電圧を制御する半導体領域を形

成する。特性上の改善点としては、まず第1に上記の注入をゲート電極をマスクとして行うので、チャンネルの中央部分の不純物濃度が薄くなり、トランジスタの駆動力が向上する。第2に上記の注入をソース、ドレイン電極をマスクとして行うためソース、ドレインのジャンクション付近の不純物濃度が薄くなりドレイン容量が低下し、回路の動作速度が向上する。第3に本発明の方法ではLDD n-、p-層の注入をn+、p+ソース、ドレイン形成より後に行うことができるため、n+、p+層活性化のための熱処理にn-、p-層が影響されない。このため短チャンネル効果をさらに抑えることができる。

【0025】また請求項8記載の構成では、第1の導電膜をマスクとして用いる大傾角イオン注入を用いた第1のイオン注入により半導体基板中に第1導電型の不純物を注入し、第1導電型の第1の半導体領域を形成する。第1の導電膜をマスクとして用いる第2のイオン注入により半導体基板中に第2導電型の不純物を注入し、ソース、及びドレインとなる第2導電型の第2の半導体領域を形成する。その後第1の導電膜の側壁に第2の絶縁膜を選択的に残置させ、第2の導電膜及び第2の絶縁膜をマスクとして用いる第3のイオン注入により半導体基板中に第2導電型の不純物を注入し、ソース、及びドレインの一部となる第2導電型の第3の半導体領域を形成する。その結果、第1の半導体領域が第2及び第3の半導体領域より浅く、かつ第1の半導体領域が第2の半導体領域の側面に形成された半導体装置を容易に製造できる。

【0026】

【実施例】（実施例1）以下本発明による電界効果型半導体装置の製造方法の第1の実施例について、図1を参照しながら説明する。

【0027】図1(a)に示すように、P型の単結晶シリコン半導体基板1上に、素子分離用の絶縁膜となる約400ナノ・メートルのシリコン酸化膜2を形成し、ゲート絶縁膜となる8-12ナノ・メートルのシリコン酸化膜3を形成する。次に、250-300ナノ・メートルの多結晶シリコンを堆積し、通常のフォト、エッチング工程によりゲート電極4を形成する。次に、このゲート電極4をマスクとしてリンイオンを40KeVで $1-4 \times 10^{13} \text{ cm}^{-2}$ 注入し、n-型のソース、ドレイン領域6a、6bを形成する。次に、全面に250-150ナノ・メートルのシリコン窒化膜を堆積し、通常のエッチバックによりサイドウォールスペース5a、5bを形成すると共に、シリコン基板上のシリコン酸化膜3を除去してシリコン基板を露出させる。次に、ゲート電極とそのサイドウォールスペースをマスクとしてヒ素イオンを40KeVで $4-6 \times 10^{14} \text{ cm}^{-2}$ 注入しn+型のソース、ドレイン領域7a、7bを形成する。

【0028】図1(b)に示すように、全面に40-60

ナノ・メートルのチタンを堆積した後、600-850度の熱処理によりチタンとシリコン基板及び多結晶シリコン電極を反応させ、60-100ナノ・メートルのチタンシリサイド8a、8b、8cを形成する。この時、チタンとシリコン窒化膜は反応しないので、サイドウォールスペース上のチタンは未反応のままである。次に、硫酸のウェットエッチングにより未反応のチタンを選択的に除去する。

【0029】図1(c)に示すように、ドライエッチ（ガスは CH_2F_2 や NF_3 など）によりシリコン窒化膜のサイドウォールスペース5a、5bを選択的にエッチングし除去する。次に、20-60度の傾角、望ましくは25-45度の傾角を用いた回転又はステップイオン注入により、ゲート電極4とソース、ドレイン上のチタンシリサイド8a、8bをマスクとしてホウ素イオンを30-50KeVで $2-10 \times 10^{12} \text{ cm}^{-2}$ 注入しバンチスルーストップ領域となるp+型の半導体領域10a、10bを形成する。チタンシリサイドのイオン阻止能はシリコンの約1.5倍であるので、ホウ素イオンをソース、ドレインのジャンクション付近に透過させず、p+型の半導体領域をチャンネル部分にのみ形成することは容易である。

【0030】P+型の半導体領域10a、10bを形成するイオン注入条件はウエル濃度、反転電圧の設定値、最小ゲート長、ドレイン構造など多くの要因によって変わり、注入量や注入角度も広い範囲から選択可能でありホウ素イオン以外にもフッ化ホウ素やインジウムが適している。図2a-cにドレイン構造の断面拡大図を示す。図2aはP型半導体領域10a、10bがn-LDD領域を完全に覆っている。図2bはP型半導体領域10a、10bがn-LDD領域の内側（チャンネル側）に位置している。図2cはP型半導体領域10a、10bがLDD領域の下部に位置しn+ドレインの空乏層を抑えている。前述したようにこのいずれの構造もドレインの下部にはP型半導体領域が形成されないで寄生ジャンクション容量が小さく、かつチャンネル領域の中央部の不純物濃度が小さい高速デバイスを得ることができる。

【0031】図1(d)に示すように、通常の方法により層間絶縁膜11を堆積し、コンタクト孔を形成した後、アルミニウム電極12a、12bを形成する。なお、以上の製造方法で導伝型を逆にすればPch型MOSトランジスタも同様の方法で作成できることはいうまでもない。

【0032】次に、本実施例によるトランジスタの基板及びドレインの構造について図を用いて詳しく説明する。図3はNch型トランジスタのドレイン近傍の2次元不純物プロファイル結果でホウ素イオンのプロファイルである。 TiSi_2 層の代わりに仮想的な SiO_2 のマスクをシミュレーション上に導入している。図3からはホウ素イオンはドレインのチャンネル側にのみ選択的に打

ち込まれ、ドレインのジャンクション付近の濃度にはあまり影響を与えていないことがわかる。図4は表面チャネル型Pchトランジスタのシミュレーション結果で、リンイオンのプロファイルである。図3と同様にリンイオンはドレインのチャネル側エッジ部に選択的に注入されている。

【0033】次に、本実施例の方法により試作されたCMOSトランジスタの電気特性について説明する。試作されたサンプルはPchトランジスタのゲート電極にP+型ポリシリコンを用い表面チャネル型にしたもので、Nchにはゲート電極として従来通りN+型ポリシリコンを用いているのでデュアルゲートと呼ばれている。

【0034】図5はNch型トランジスタの短チャネル効果を、図6はPchトランジスタの短チャネル効果を示した特性図である。従来法によるものはゲート長 L_g が約0.5ミクロンから反転電圧が低下しているが、本実施例によるものはNch、Pch共 L_g が0.2ミクロンまで全く反転電圧の低下が見られない。これはNchではホウ素イオンの注入によるP+型半導体領域が、Pchではリンイオン注入によるN+型半導体領域がドレイン空乏層の伸びを抑えているためである。また、 L_g が小さくなるとチャネル両側のP+あるいはN+半導体領域が近づいて実効的にチャネルの不純物濃度が高くなる。図5と図6で L_g が0.4ミクロン以下になると反転電圧がわずかに上昇しているのはこのためである。

【0035】図7と図8はドレイン飽和電流の L_g 依存性を示した特性図である。従来法によるものより本実施例の方が電流値が8-20%大きいのがわかる。これは本実施例の方法ではチャネル中央部の不純物濃度が小さくキャリアの移動度が大きいためである。

【0036】図9はCMOSリングオシレータの1ゲート当りの遅延時間の電源電圧依存性を示した特性図である。本実施例の方が従来のものより約20%高速である。これはドレイン容量が本実施例の方が小さく、またドレイン電流が大きいためである。本実施例によるNchトランジスタのドレイン容量は $0.88\text{ fF}/\mu\text{m}^2$ 、従来法によるNchトランジスタのドレイン容量は $1.26\text{ fF}/\mu\text{m}^2$ (計算値) である。

【0037】以上のように、図1dに示すように本実施例の半導体装置の構造によれば、P型のバンチスルーストッパ10a、10bはチャネル層からn-LDD層6a、6bの下部にかけて形成されており、チャネルの横方向は不純物濃度が不均一になる。また反転電圧はソース端でほぼ決定されるため、チャネル層の中央部の不純物濃度は薄く設定でき、キャリアの走行速度が速くなるためトランジスタの駆動力が大きい。P型のバンチスルーストッパ10a、10bの濃度は反転電圧の設定値、ウェル濃度、ゲート長などによって最適化する必要がある。またP型のバンチスルーストッパ10a、10bの縦方向の深さはn+ソース、ドレイン7a、7bの深さ

Xjより深くソース、ドレイン間のバンチスルーストッパ10a、10bはn+ソース、ドレインの下部には形成されないため接合の寄生容量が小さく回路動作が速い。

【0038】また本実施例の半導体装置の製造方法によれば、P型半導体基板1 (あるいはPウェル) の不純物濃度を低く設定でき、P+型半導体領域を選択的に形成するのでドレイン容量を増加させることなく、短チャネル効果を抑制できる。しかもチャネルの中央部の不純物濃度が小さいため、ドレイン電流の大きいMOSトランジスタを製造することができる。

【0039】なお、チタンの代わりにコバルト、タングステンなど他の高融点金属を用いてもほぼ同様の製造プロセスで電極を形成できる。さらに、サイドウォールは金属シリサイドやシリコン酸化膜とのエッチングの選択比が高いものであれば使用可能であり、窒化シリコンの他にも窒化チタンなどが適当である。

【0040】尚、ゲート電極の幅、つまりMOSトランジスタのゲート長 L_g が約0.3ミクロン以上の領域ではp+型半導体領域10a、10bを分離して形成することは比較的容易である。しかし、 L_g が0.3ミクロン以下のいわゆる1/4ミクロン領域ではp+型半導体領域10aと10bが接することがある。しかし、この場合もチャネル下の不純物プロファイルは均一にはならず、図14で示した従来法によるトランジスタとはかなり異なったものになる。つまり、従来法より駆動力が大きく、またドレイン容量が小さいというメリットは L_g が大きい領域と同じである。

【0041】以上はソース、ドレインを形成してからシリサイド化する場合について説明したが、ソース、ドレインの注入をシリサイド化の後に行ってもよい。この場合シリサイドを介して不純物を注入するので加速エネルギーは高くする必要があり、Nchではヒ素の80KeVが適当である。注入量はシリサイド前の注入と同じでよい。

【0042】(実施例2) 以下本発明による第2の実施例について図10を参照しながら説明する。図10に示すように、P型の単結晶シリコン基板1中にP型の半導体領域13を形成した後、半導体基板全面にP型単結晶シリコン14をエピタキシャル成長させる。次に実施例1と同様にP型の半導体領域上にNch型トランジスタを形成する。

【0043】不純物濃度の小さいウェルを使用する場合はnpn型寄生バイポーラトランジスタが動作する、いわゆるラッチアップ現象が発生する可能性が大きい。CMOSデバイスのNchとPchの距離が小さくなると寄生バイポーラトランジスタの駆動力が大きくなるのでラッチアップは微細化を妨げる大きな要因の1つとなっている。一般にはウェル濃度を大きくしてウェルの抵抗を下げラッチアップを抑えているが、前述したようにこ

れはジャンクションの容量を増大させ回路動作を劣化させる。

【0044】そこで本実施例ではP型半導体領域13でウェルの抵抗を充分下げているためラッチアップなどの寄生効果が完全に抑えられ、トランジスタの基板濃度(P型単結晶シリコン14の濃度)は極めて小さくできるのでドレインジャンクションの寄生容量を大幅に減少させることができる。またトランジスタのチャネル中央部も不純物濃度が極めて小さいため駆動力を増大させることができる。

【0045】(実施例3)以下本発明による電界効果型半導体装置の製造方法の第3の実施例について、図11を参照しながら説明する。

【0046】図11(a)に示すように、P型の単結晶シリコン半導体基板1上に、素子分離用の絶縁膜となる約400ナノ・メートルのシリコン酸化膜2を形成し、ゲート絶縁膜となる8-12ナノ・メートルのシリコン酸化膜3を形成する。次に、250-300ナノ・メートルの多結晶シリコンを堆積し、通常のフォト、エッチング工程によりゲート電極4を形成する。次に、このゲート電極4をマスクとしてリンイオンを40KeVで $1-4 \times 10^{13} \text{ cm}^{-2}$ 注入し、n-型のソース、ドレイン領域6a、6bを形成する。次に、全面に250-150ナノ・メートルのシリコン窒化膜を堆積し、通常のエッチバックによりサイドウォールスペース5a、5bを形成する。次に、ゲート電極とそのサイドウォールスペースをマスクとしてヒ素イオンを80KeVで $4-6 \times 10^{14} \text{ cm}^{-2}$ 注入しn+型のソース、ドレイン領域7a、7bを形成する。

【0047】図11(b)に示すように、シリコン基板1上の酸化膜3を除去した後、シリコン基板1と多結晶シリコン電極4の表面に30-50ナノ・メートルのタングステン膜9a、9b、9cを選択的に堆積する。

【0048】図11(c)に示すように、ドライエッチによりシリコン窒化膜のサイドウォールスペース5a、5bを選択的にエッチングし除去する。次に、20-25度の大傾角イオン注入により、ゲート電極4とソース、ドレイン上のタングステン9a、9bをマスクとしてホウ素イオンを20-30KeVで $2-8 \times 10^{13} \text{ cm}^{-2}$ 注入しバンチスルーストップ領域となるp+型の半導体領域10a、10bを形成する。

【0049】図11(d)に示すように、通常の方法により層間絶縁膜11を堆積し、コンタクト孔を形成した後、アルミニウム電極12a、12bを形成する。

【0050】このように、本実施例の方法によれば、P+型半導体領域10a、10bを選択的に形成するのでドレイン容量を増加させることなく、短チャネル効果を抑制できる。しかもチャネルの中央部の濃度が薄くなるのでドレイン電流の大きいMOSトランジスタを製造することができる。

【0051】また、タングステンの代わりにコバルトなど他の高融点金属、あるいは単結晶シリコン、多結晶シリコンなどを用いてもほぼ同様の製造プロセスで電極を形成できる。

【0052】なお、本実施例で導電型を反対にすればPch型MOSトランジスタにも容易に適用でき、効果もNchと同様であることはいうまでもない。

【0053】(実施例4)以下本発明による電界効果型半導体装置の製造方法の第4の実施例について、図12を参照しながら説明する。

【0054】図12aに示すように、P型の単結晶シリコン半導体基板1上に、素子分離用の絶縁膜となる約400ナノ・メートルのシリコン酸化膜2を形成し、ゲート絶縁膜となる8-12ナノ・メートルのシリコン酸化膜3を形成する。次に、250-300ナノ・メートルの多結晶シリコンを堆積し、通常のフォト、エッチング工程によりゲート電極4を形成する。次に、全面に250-150ナノ・メートルのシリコン窒化膜を堆積し、通常のエッチバックによりサイドウォールスペース5a、5bを形成すると共に、シリコン基板1上のシリコン酸化膜3を除去してシリコン基板を露出させる。次に、ゲート電極とそのサイドウォールスペースをマスクとしてヒ素イオンを40KeVで $4-6 \times 10^{14} \text{ cm}^{-2}$ 注入しn+型のソース、ドレイン領域7a、7bを形成する。次に900℃、30分の熱処理により不純物を活性化し結晶欠陥を回復する。

【0055】図12bに示すように、全面に40-60ナノ・メートルのチタンを堆積した後、600-850度の熱処理によりチタンとシリコン基板及び多結晶シリコン電極を反応させ、60-100ナノ・メートルのチタンシリサイド8a、8b、8cを形成する。この時、チタンとシリコン窒化膜は反応しないので、サイドウォールスペース上のチタンは未反応のままである。次に、硫酸のウェットエッチングにより未反応のチタンを選択的に除去する。

【0056】図12cに示すように、ドライエッチ(ガスは CH_3F 、 F_2 や NF_3 など)によりシリコン窒化膜のサイドウォールスペース5a、5bを選択的にエッチングし除去する。次に、25-45度の大傾角イオン注入により、ゲート電極4とソース、ドレイン上のチタンシリサイド8a、8bをマスクとしてホウ素イオンを30-40KeVで $4-8 \times 10^{13} \text{ cm}^{-2}$ 注入しバンチスルーストップ領域となるp+型の半導体領域10a、10bを形成する。チタンシリサイドのイオン阻止能はシリコンの約1.5倍であるので、ホウ素イオンをソース、ドレインのジャンクション付近に透過させず、p+型の半導体領域をチャネル部分にのみ形成することは容易である。次に、このゲート電極4をマスクとしてリンイオンを40KeVで $1-4 \times 10^{13} \text{ cm}^{-2}$ 注入し、n-型のソース、ドレイン領域6a、6bを形成する。

【0057】図12dに示すように、通常の方法により層間絶縁膜11を堆積し、コンタクト孔を形成した後、アルミニウム電極12a、12bを形成する。

【0058】なお、以上の製造方法で導電型を逆にすればPch型MOSトランジスタも同様の方法で作成できることはいうまでもなく、Pch型トランジスタの場合はp-型LDD領域が拡散係数の大きいボロンイオンで形成されているためより大きな短チャンネル効果の改善が期待できる。

【0059】（実施例5）以下本発明による電界効果型半導体装置の製造方法の第5の実施例について、図13を参照しながら説明する。

【0060】図13aに示すように、P型の単結晶シリコン半導体基板1上に、素子分離用の絶縁膜となる約400ナノ・メートルのシリコン酸化膜2を形成し、ゲート絶縁膜となる8-12ナノ・メートルのシリコン酸化膜3を形成する。次に、250-300ナノ・メートルの多結晶シリコンを堆積し、通常のフォト、エッチング工程によりゲート電極4を形成する。次にゲート電極4をマスクとして用いるイオン注入によりホウ素イオンを20-60°の大傾角注入により15-30KeVで2-10 $\times 10^{12}$ cm $^{-2}$ 注入しバンチスルーストップ領域となるp型の半導体領域10a、10bを形成する。

【0061】次に図13bに示すように、ゲート電極4をマスクとして用いるイオン注入によりリンイオンを30-40KeVで2-6 $\times 10^{13}$ cm $^{-2}$ 注入しn-型の半導体領域6a、6bを形成する。

【0062】次に図13cに示すように、全面に250-150ナノ・メートルのシリコン酸化膜を堆積し、通常のエッチバックによりサイドウォールスペース5a、5bを形成する。次に、ゲート電極4とそのサイドウォールスペース5a、5bをマスクとしてヒ素イオンを40KeVで4-6 $\times 10^{14}$ cm $^{-2}$ 注入しn+型のソース、ドレイン領域7a、7bを形成する。

【0063】図13dに示すように、通常の方法により層間絶縁膜11を堆積し、コンタクト孔を形成した後、アルミニウム電極12a、12bを形成する。尚、P+型半導体領域10a、10bを形成するイオン注入はソース、ドレインの下部に達しないよう加速エネルギーや角度を調節すればよい。これらの条件はドレイン構造、反転電圧の設定値、最小ゲート長など多くの要因から決定する。

【0064】本方法により作成されたMOSトランジスタはP+型半導体領域10a、10bがn+ドレイン7a、7bのチャンネル側のみ形成されるためドレイン容量を増大させることなく微細化できる。さらにP+型半導体領域10a、10bはチャンネル層にも達しておりチャンネル層の不純物濃度が不均一になりチャンネル層中央部の不純物濃度を薄く設定できる。このためキャリアの走行速度が速くなり駆動力の大きなトランジスタが得られ

る。

【0065】なお、以上の製造方法で導電型を逆にすればPch型MOSトランジスタも同様の方法で作成できることはいうまでもなく、Pch型トランジスタの場合はp-型LDD領域が拡散係数の大きいボロンイオンで形成されているためより大きな短チャンネル効果の改善が期待できる。

【0066】

【発明の効果】以上のように本発明の請求項1記載の構成では、バンチスルーストップ領域をソース、及びドレイン領域に隣接し、チャンネル領域の一部に設けることによってチャンネルの中央部分の不純物濃度が薄くなり、トランジスタの駆動力が向上する。またドレインの下部にはバンチスルーストップ領域が形成されていないので、ソース、ドレインのジャンクション付近の不純物濃度が薄くなりドレイン容量が低下し、回路の動作速度が向上する。

【0067】また請求項2記載の構成では、第1導電型の半導体基板は高濃度半導体領域と低濃度半導体領域からなり、前記低濃度半導体領域中にソース、及びドレイン領域とチャンネル領域とバンチスルーストップ領域が形成されているため、高濃度半導体領域で基板の抵抗を充分下げられラッチアップなどの寄生効果が完全に抑えられ、またトランジスタの基板濃度（低濃度半導体領域の濃度）は極めて小さくできるのでドレインジャンクションの寄生容量を大幅に減少させることができる。

【0068】また請求項3、6、7記載の構成では、ゲート電極となる第1の導電膜の側壁に残置された第2の絶縁膜を除去しセルフアラインでソース、ドレインの端部にのみ注入することにより、MOSトランジスタのバンチスルーを抑制し、反転電圧を制御する半導体領域を形成する。特性上の改善点としては、まず第1に上記の注入をゲート電極をマスクとして行うので、チャンネルの中央部分の不純物濃度が薄くなり、トランジスタの駆動力が向上する。第2に上記の注入をソース、ドレイン電極をマスクとして行うためソース、ドレインのジャンクション付近の不純物濃度が薄くなりドレイン容量が低下し、回路の動作速度が向上する。第3に本発明の方法ではLDD n-、p-層の注入をn+、p+ソース、ドレイン形成より後に行うことができるため、n+、p+層活性化のための熱処理にn-、p-層が影響されない。このため短チャンネル効果をさらに抑えることができる。

【0069】また請求項8記載の構成では、第1の導電膜をマスクとして用いる大傾角イオン注入を用いた第1のイオン注入により半導体基板中に第1導電型の不純物を注入し、第1導電型の第1の半導体領域を形成する。第1の導電膜をマスクとして用いる第2のイオン注入により半導体基板中に第2導電型の不純物を注入し、ソース、及びドレインとなる第2導電型の第2の半導体領域

を形成する。その後第1の導電膜の側壁に第2の絶縁膜を選択的に残置させ、第2の導電膜及び第2の絶縁膜をマスクとして用いる第3のイオン注入により半導体基板中に第2導電型の不純物を注入し、ソース、及びドレインの一部となる第2導電型の第3の半導体領域を形成する。その結果、第1の半導体領域が第2及び第3の半導体領域より浅く、かつ第1の半導体領域が第2の半導体領域の側面に形成された半導体装置を容易に製造できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例におけるMOSトランジスタの工程断面図

【図2】同実施例におけるMOSトランジスタのドレイン構造の断面拡大図

【図3】同実施例におけるNchMOSトランジスタのドレイン付近の2次元プロファイル図

【図4】同実施例におけるPchMOSトランジスタのドレイン付近の2次元プロファイル図

【図5】同実施例におけるNchMOSトランジスタの短チャンネル効果を示す特性図

【図6】同実施例におけるPchMOSトランジスタの短チャンネル効果を示す特性図

【図7】同実施例におけるNchMOSトランジスタのドレイン電流のゲート長依存性を示す特性図

【図8】同実施例におけるPchMOSトランジスタのドレイン電流のゲート長依存性を示す特性図

*【図9】同実施例におけるCMOSリングオシレータの遅延時間の電源電圧依存性を示す特性図

【図10】本発明の第2の実施例におけるMOSトランジスタの断面図

【図11】本発明の第3の実施例におけるMOSトランジスタの工程断面図

【図12】本発明の第4の実施例におけるMOSトランジスタの工程断面図

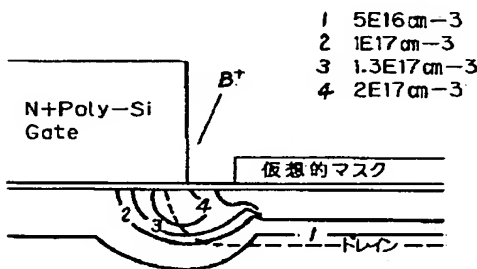
【図13】本発明の第4の実施例におけるMOSトランジスタの工程断面図

【図14】従来のMOSトランジスタの工程断面図

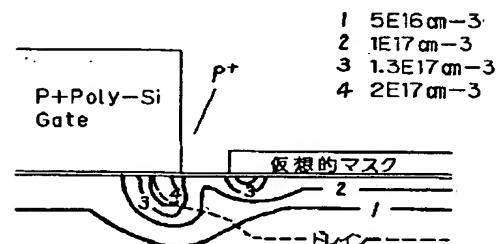
【符号の説明】

- 1 単結晶シリコン基板
- 2 素子分離用シリコン酸化膜
- 3 ゲート絶縁膜
- 4 ポリシリコンゲート電極
- 5 a, 5 b 側壁サイドウォール
- 6 a, 6 b n-型半導体領域
- 7 a, 7 b n+型半導体領域
- 8 a, 8 b, 8 c チタンシリサイド
- 9 a, 9 b, 9 c タングステン
- 10 a, 10 b p+型半導体領域
- 11 層間絶縁膜
- 12 a, 12 b アルミ電極
- 13 p+型埋め込み層
- 14 単結晶エピタキシャルシリコン膜

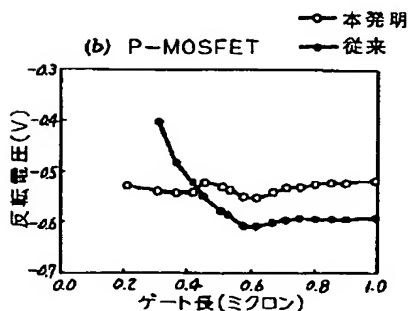
【図3】



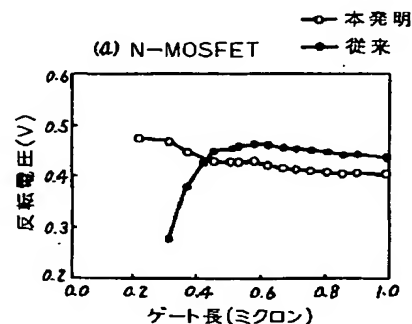
【図4】



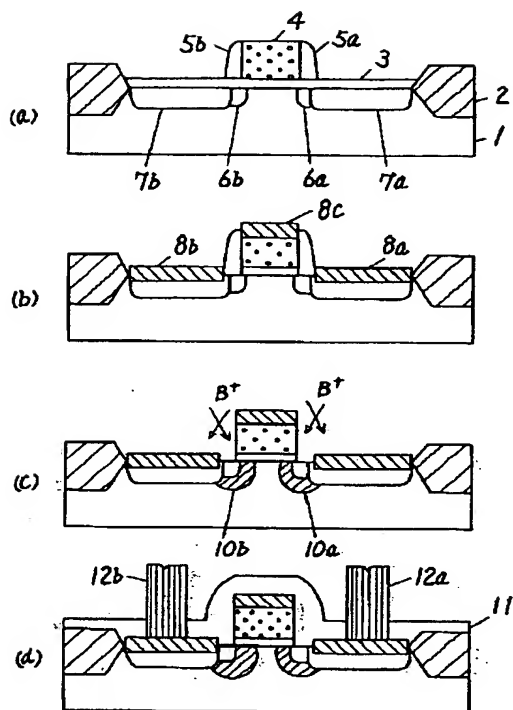
【図6】



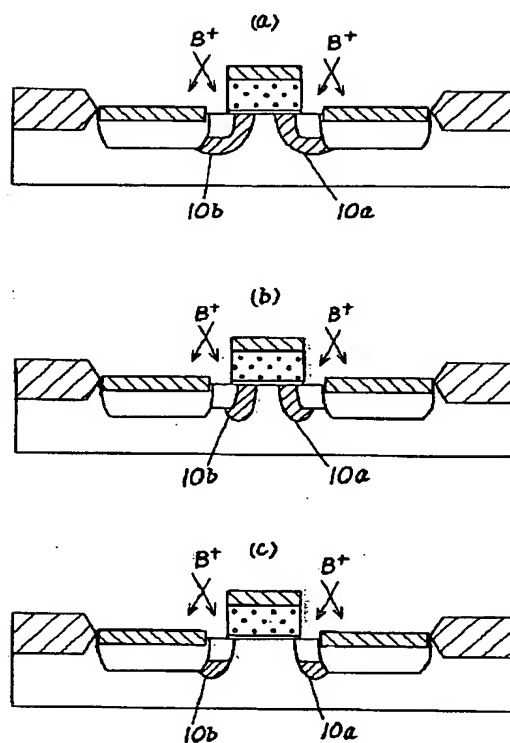
【図5】



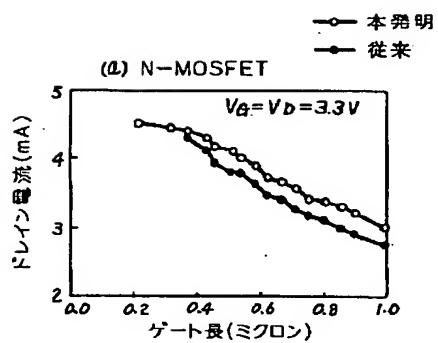
【図1】



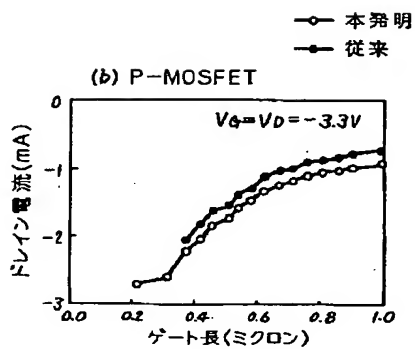
【図2】



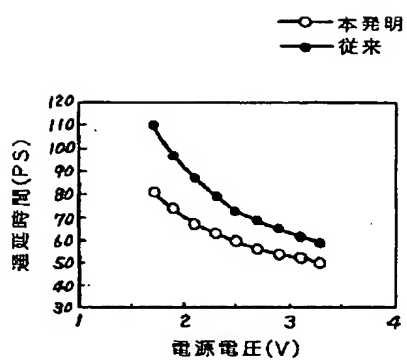
【図7】



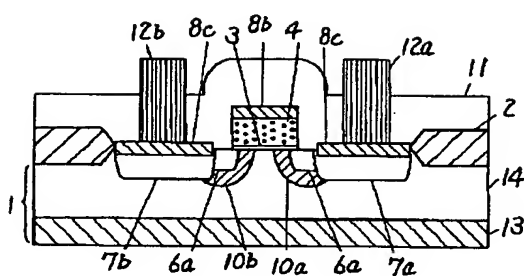
【図8】



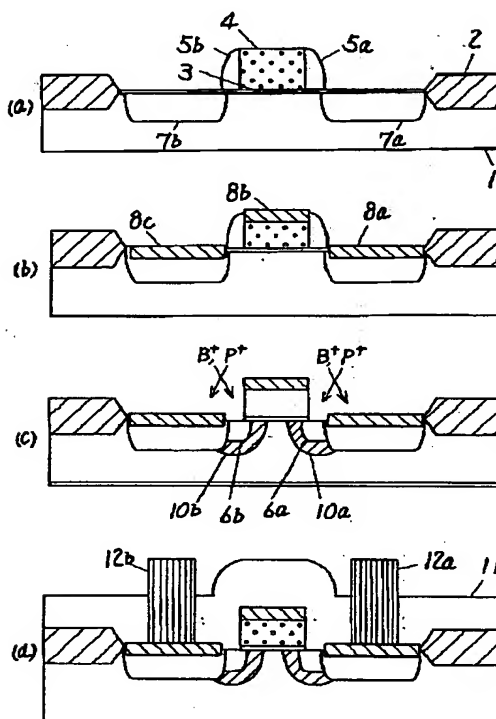
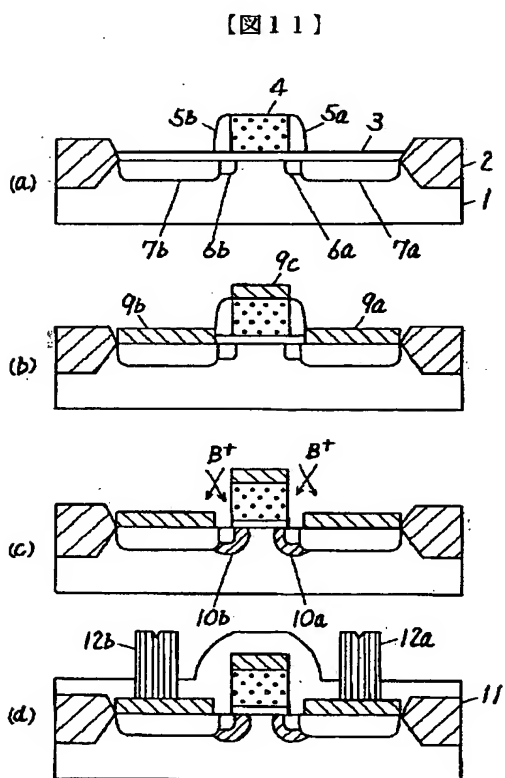
【図9】



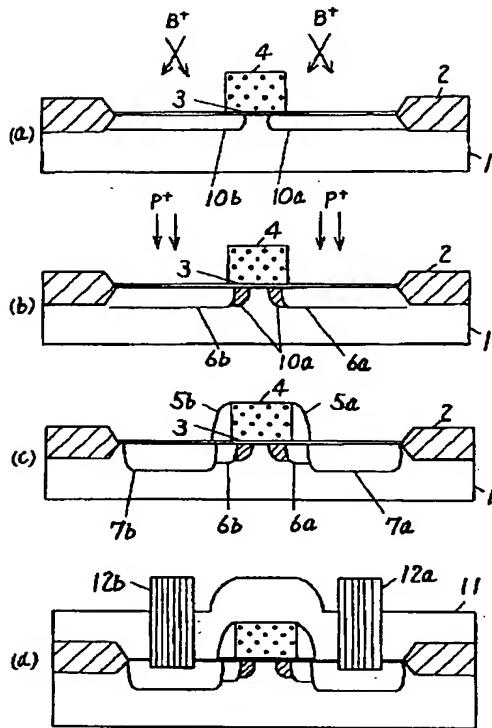
【図10】



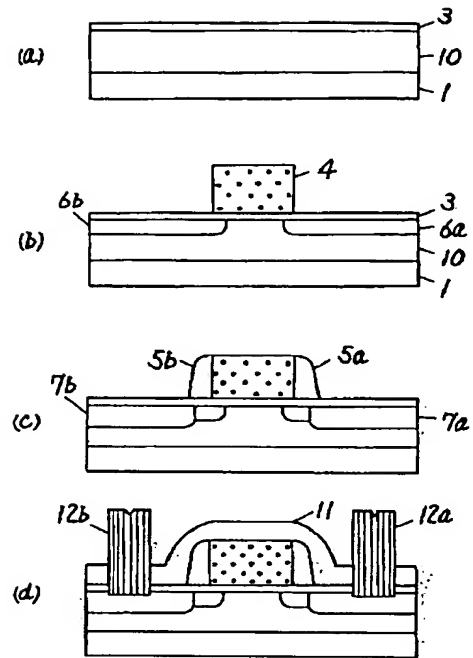
【図12】



【図13】



【図14】



フロントページの続き

(72)発明者 亀山 周一
大阪府門真市大字門真1006番地 松下電器
産業株式会社内